

10

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-344145

(43)公開日 平成5年 (1993) 12月24日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/48		8529-5K	H 0 4 L 11/20	Z
12/26		8529-5K	11/12	

審査請求 未請求 請求項の数6 (全 26 頁)

(21)出願番号 特願平4-171643

(22)出願日 平成4年 (1992) 6月5日

(71)出願人 000004226
日本電信電話株式会社
東京都千代田区内幸町一丁目1番6号

(72)発明者 松永 治彦
東京都千代田区内幸町一丁目1番6号 日本
電信電話株式会社内

(72)発明者 上松 仁
東京都千代田区内幸町一丁目1番6号 日本
電信電話株式会社内

(72)発明者 金山 之治
東京都千代田区内幸町一丁目1番6号 日本
電信電話株式会社内

(74)代理人 弁理士 玉蟲 久五郎

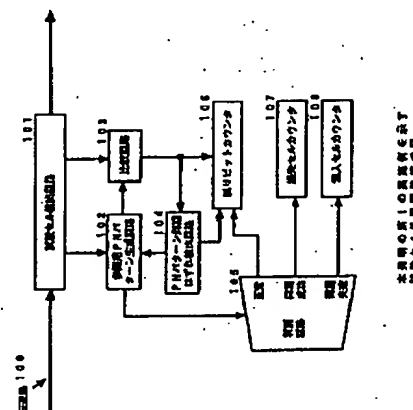
最終頁に続く

(54)【発明の名称】 A T M試験方式

(57)【要約】 (修正有)

【目的】 試験実施中に生じる誤りビット、損失セルおよび混入セルの個数を正確に測定する。

【構成】 試験セル検出手段101は伝送路からの区切られた試験用PNパターンを搭載した試験セルを検出し、参照用PNパターン生成手段102は検出セル搭載パターンとビット単位で一致する参照用PNパターンを生成し、比較手段103により両者をビット毎に比較する。同期はずれ検出手段104は、その一致する割合が一定値以下のとき、同期がはずれたと判断し、参照用PNパターン生成手段に改めてセル搭載パターンに同期した参照用PNパターンの生成を指示する。また同期がはずれた際、誤りビットカウンタ106の動作を停止させる。損失セルカウンタ107は判別手段105の結果により得られる損失セル数を計数し、混入セルカウンタ108は判別手段や同期はずれ検出により得られる混入セル数を計数する。



【特許請求の範囲】

【請求項1】 試験用疑似ランダムパターンを幾つかに区切り、その一つ一つを各々載せた試験セルをその順に送信側からATM（非同期転送）モードで伝送路に送信し、その試験セルを受信又はモニタして行うATM試験方式において、

前記試験セルを伝送路から検出する試験セル検出手段と、

前記試験セル検出手段により検出したセルに搭載されたパターンとビット単位で一致するような参照用疑似ランダムパターンを生成する参照用疑似ランダムパターン生成手段と、

該参照用疑似ランダムパターン生成手段により生成された参照用疑似ランダムパターンと前記試験セル検出手段により検出されたセルに搭載されたパターンとをビット毎に比較する比較手段と、

前記比較手段の比較の結果を監視していて、前記参照用疑似ランダムパターンは、前記セルに搭載されたパターンと一致する割合が一定値以下であるとき、該両パターンの同期がはずれたと判断して、改めて参照用疑似ランダムパターン生成手段に対して該セルに搭載されたパターンと一致する参照用疑似ランダムパターンの作り直しをさせる同期はずれ検出手段と、

前記同期はずれ検出手段により検出された前記両パターンの同期はずれ状態において、一定期間のうちに再び参照用疑似ランダムパターンが得られるか否かを監視することにより、試験セルの損失、あるいは他セルの混入が生じたことを判断する判別手段と、

該判別手段の判断により、試験セルの損失と判断したセル数を計数する損失セルカウンタと、

該判別手段の判断により、他セルの混入と判断したセル数を計数する混入セルカウンタと、

前記両パターンの同期状態において、前記比較手段の比較の結果一致しないビットを伝送中の試験セル内に生じた誤りビットとして計数する誤りビットカウンタと、を具備してなることを特徴とするATM試験方式。

【請求項2】 前記同期はずれ検出手段は、前記試験セル検出手段において検出したセルに搭載されたパターンと該セルに搭載されたパターンに同期した前記参照用疑似ランダムパターンとが一致する割合が一定値以下であるか否かを監視することにより、該セルが正常な試験セルか、または試験セルの損失か、あるいは他セルの混入が生じたことを判別できることを特徴とする請求項1記載のATM試験方式。

【請求項3】 前記判別手段は、前記参照用疑似ランダムパターンと前記セルに搭載されたパターンとの同期がはずれている状態における前記参照用疑似ランダムパターン生成手段において、一定期間のうちに再び前記セルに搭載されたパターンに同期した参照用疑似ランダムパターンが得られるか否かを監視することにより、該セルに

おいて試験セルの損失、あるいは他セルの混入が生じたことを判別できることを特徴とする請求項1記載のATM試験方式。

【請求項4】 試験用疑似ランダムパターンを幾つかに区切り、その一つ一つを各々載せた試験セルをその順に送信側からATM（非同期転送）モードで伝送路に送信し、その試験セルを受信又はモニタして行うATM試験方式において、

前記試験セルを伝送路から検出する試験セル検出手段

10 と、

前記試験セル検出手段により検出したセルに搭載されたパターンとビット単位で一致するような参照用疑似ランダムパターンを生成する参照用疑似ランダムパターン生成手段と、

該参照疑似ランダムパターン生成手段により生成された参照用疑似ランダムパターンと前記試験セル検出手段により検出されたセルに搭載されたパターンとをビット毎に比較する比較手段と、

20

前記比較手段の比較の結果を監視していて、前記参照用疑似ランダムパターンは、前記セルに搭載されたパターンと一致する割合が一定値以下であるとき、該両パターンの同期がはずれたと判断して、改めて参照用疑似ランダムパターン生成手段に対して該セルに搭載されたパターンと一致する参照用疑似ランダムパターンの作り直しをさせる同期はずれ検出手段と、

前記同期はずれ検出手段により検出された前記両パターンの同期はずれ状態において、一定期間のうちに再び参照用疑似ランダムパターンが得られるか否かを監視することにより、試験セルの損失、あるいは他セルの混入が生じたことを判断する判別手段と、

30

該判別手段の判断により、試験セルの損失と判断したセル数を計数する損失セルカウンタと、

該判別手段の判断により、他セルの混入と判断したセル数を計数する混入セルカウンタと、

前記両パターンの同期状態において、前記比較手段の比較の結果一致しないビットを伝送中の試験セル内に生じた誤りビットとして計数する誤りビットカウンタと、

を具備し、

40

前記試験セルは、試験用疑似ランダムパターンを幾つかに区切った一つ一つのパターン、試験セルの生成順に付与する連続番号および該連続番号の誤り検出訂正符号とを付加した試験セルを用い、

前記試験セル検出手段において検出したセルの個数を計数する受信試験セル数カウンタと、

該セルに搭載されている誤り検出訂正符号を用いて、該セルの連続番号に誤りが存在するか否かを検査する連続番号誤り検出訂正手段と、

50

前記判別手段は、前記連続番号誤り検出訂正手段により誤りが無いと判断された連続番号と前記受信試験セル数カウンタの値とを比較することにより、試験セルが順番

通りに正常に受信されたのか、試験セルの損失が生じたのか、または他セルの混入が生じたのかを判断する判断手段を有し、

該判断手段の判断により、正常と判断した試験セルに対して、前記比較手段の比較の結果、一致しないビットを誤りビットとして計数する誤りビットカウンタと、該判断手段の判断により、試験セルの損失と判断したセル数を計数する損失セルカウンタと、該判断手段の判断により、他セルの混入と判断したセル数を計数する混入セルカウンタと、を具備してなることを特徴とするATM試験方式。

【請求項5】 前記連続番号誤り検出訂正手段は、前記試験セル検出手段において検出したセルに搭載されている誤り検出訂正符号を用いて、該セルの連続番号に訂正不可能な誤りが存在するか否かを検査することにより、該セルが試験セルであるか、他セルの混入であるのかが判別できることを特徴とする請求項4記載のATM試験方式。

【請求項6】 前記判断手段は、前記連続番号誤り検出訂正手段により誤りが無いと判断された連続番号と受信試験セル数カウンタの値とを比較することにより、試験セルが順番通りに正常に受信されたのか、試験セルの損失が生じたのか、または他セルの混入が生じたのかを判断できることを特徴とする請求項4記載のATM試験方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM（非同期転送）モードによるセルの伝送路におけるビット誤り率、セル損失率およびセル混入率を測定することにより行う伝送路試験方式としてのATM試験方式に関するものである。

【0002】 伝送路には、伝送装置や交換機が含まれることは言うまでもない。

【0003】

【従来の技術】 ATMモードは、低速データから高速画像通信までの多様な通信を一元的かつ経済的に提供するための通信方式であり、伝送すべき情報は、固定長のブロックに分割され、ヘッダと呼ばれる宛先を付加したセルという伝送フォーマットにより伝送される。

【0004】 本ATMモードを用いた網では、固有の現象として伝送途中における、ビット誤り、セルの損失およびセルの混入が生じるという問題がある。

【0005】 ここで、損失とはセルがどこかへ消えてなくなることであり、混入とはセルがよそから紛れ込んで来ることをさす。

【0006】 ATM試験方式は、伝送路での誤りビット数、損失セル数および混入セル数等を測定することにより、ATM網内において新しいバーチャルパスおよびバーチャルチャネルを設定する場合の導通試験、バーチャ

ルパスおよびバーチャルチャネルが品質を満たしているかの特性試験、および伝送路等の故障時の故障箇所の特定のための故障箇所切り分け試験を行うための方法である。

【0007】 ATMモードにおいては、CCITT勧告1.610に述べられているように、網の保守運用管理を行う場合、OAM(Operation Administration and Maintenance)セルを定義して所要機能を実現する。

【0008】 本分野に関する従来技術として、公知文献「金山、他：“ATM網におけるバーチャルパス試験方式の検討”、1992年電子情報通信学会春季大会予稿集、B-726」において報告されているATM試験方式がある。

【0009】 その実現形態を図13に示す。

【0010】 本報告では、試験用疑似ランダムパターンおよび連続番号を搭載したOAMセルを試験用に定義する。

【0011】 なお、以下においては、この試験用に用いるOAMセルを単に試験セルと称する。

【0012】 図13のように、試験セル挿入点10と試験セルの検出・測定点11とを任意に指定することにより、装置間試験12および複数装置間試験13のような、任意の試験区間において試験セルの送受を行える。

【0013】 試験セル検出・測定点11では、試験セルに搭載された試験用パターンと連続番号を用いて誤りビット数、損失セル数および混入セル数を測定することによりATM網内の任意の伝送路の試験を行える方法である。

【0014】

【発明が解決しようとする課題】 しかしながら、公知文献「金山、他：“ATM網におけるバーチャルパス試験方式の検討”、1992年電子情報通信学会春季大会予稿集、B-726」では、誤りビット数、損失セル数および混入セル数等を測定する必要性については言及しているが、具体的な試験処理アルゴリズムについては提示していない。

【0015】 この試験処理アルゴリズムの実現に当って解決すべき主要な課題としては、以下のようなものがある。

【0016】 ① 試験セルが損失したことを特定する方法。

【0017】 そのとき損失した試験セル個数の検出方法。

【0018】 ② 他のセルが試験セルに化けて混入したことを特定する方法。

【0019】 そのとき混入した他セル個数の検出方法。

【0020】 例えば、試験セルの損失または他セルの混入が生じた場合必ず検出されるべきであり、またセルの損失が生じたのか混入が生じたのか特定されなければならない。

【0021】さらにその個数も正確に検出されカウントされなければならない。

【0022】③試験実施中に誤ったビットを正確に測定する方法。

【0023】例えば、他セルが混入した場合、多数の誤りビットが発生するが、そのビットは誤りビット数としてカウントされるべきではない。

【0024】本発明の目的は、これらの課題に着目し、試験実施中に生じる誤りビット、損失セルおよび混入セルの個数を正確に測定するための、効率的な試験処理アルゴリズムを有するATM試験方式を提供することにある。

【0025】

【課題を解決するための手段】本発明は上記課題を解決し目的を達成するために、本発明では、試験用疑似ランダムパターンを幾つかに区切りその一つ一つを搭載した試験セル、あるいは該試験セルに連続番号と誤り検出訂正符号とを付加した試験セルをその順に送信側からATM（非同期転送）モードで伝送路に送信し、その試験セルを受信又はモニタして行うATM試験方式において、試験セル検出手段と、参照用疑似ランダムパターン生成手段と、比較手段と、同期はずれ検出手段と、受信試験セル数カウンタと、連続番号誤り検出訂正手段と、判別手段と、誤りビットカウンタと、損失セルカウンタと、および混入セルカウンタとを、具備した。

【0026】試験セル検出手段は、伝送路上を送信されて来る、区切られた試験用疑似ランダムパターンを搭載した試験セルを伝送路から検出する。

【0027】参照用疑似ランダムパターン生成手段は、前記試験セル検出手段により検出されたセルに搭載されたパターンとビット単位で一致する同期した参照用疑似ランダムパターンを生成できる。

【0028】比較手段により、参照用疑似ランダムパターン生成手段により生成した参照用疑似ランダムパターンと、前記セルに搭載されたパターンとをビット毎に比較する。

【0029】同期はずれ検出手段は、前記比較手段の比較結果を用い、前記参照用疑似ランダムパターン生成手段により生成した参照用疑似ランダムパターンと前記セルに搭載されたパターンとが一致する割合が一定値以下であるとき、該両パターンの同期がはずれたことを判断する手段、および前記参照用疑似ランダムパターン生成手段に改めて前記セルに搭載されたパターンに同期した参照用疑似ランダムパターンの生成を指示する手段を有する。

【0030】また、前記同期はずれ検出手段は、前記両パターンの同期がはずれた際に、誤りビットカウンタの動作を停止させることができる。

【0031】判別手段は、前記同期はずれ検出手段により改めて前記セルに搭載されたパターンに同期した参照

用疑似ランダムパターンの生成を指示された参照用疑似ランダムパターン生成手段において、一定期間のうちに再び前記セルに搭載されたパターンに同期した参照用疑似ランダムパターンが得られるか否かを監視する。

【0032】受信試験セル数カウンタは、前記試験セル検出手段により検出したセルの個数を計数する。

【0033】連続番号誤り検出訂正手段は、前記セルに搭載された誤り検出訂正符号を用いて、該セルの連続番号に対するエラーの有無を検査する。

10 【0034】ここで、連続番号のエラーとは、前記誤り検出訂正符号を用いても前記連続番号に生じた誤りを訂正出来ない場合を指す。

【0035】また、前記判別手段は、前記連続番号誤り検出訂正手段によりエラーが無いとされた前記セルの連続番号と前記受信試験セル数カウンタ値との差を監視できる。

【0036】誤りビットカウンタは、前記比較結果により得られる該両パターンの不一致ビットを計数する

20 【0037】損失セルカウンタは、前記判別手段の結果により得られる損失セル数を計数する。

【0038】混入セルカウンタは、前記判別手段あるいは、前記同期はずれ検出手段により得られる混入セル数を計数する

【0039】

30 【作用】かかるATM試験方式において、参照用疑似ランダムパターン生成手段により生成した参照用疑似ランダムパターンと試験セル検出手段により検出されたセルに搭載されたパターンとの比較結果を同期はずれ検出手段で監視し、該両パターンの同期がはずれるか否かを監視することにより、該セルに搭載されたパターンが連続した疑似ランダムパターンであることを特定できる。

【0040】すなわち、前記セルに搭載されたパターンが連続した疑似ランダムパターンである場合、前記参照用疑似ランダムパターンとほぼ一致する。

40 【0041】一方、試験セルの損失による疑似ランダムパターンのスキップ、あるいは他セルの混入により、前記セルに搭載されたパターンが連続した疑似ランダムパターンではない場合、該両パターン間には多数の不一致ビットが発生し、直ちに該両パターンの同期がはずれる。

【0042】前記参照用疑似ランダムパターンと前記セルに搭載されたパターンとの同期がはずれている状態における前記参照用疑似ランダムパターン生成手段において、判別手段により一定期間のうちに再び参照用疑似ランダムパターンが得られるか否かを監視することにより、同期はずれが生じた原因が特定できる。

50 【0043】すなわち、再び前記セルに搭載されたパターンに同期した参照用疑似ランダムパターンが得られた場合、該セルがスキップした疑似ランダムパターンをもつ試験セルであることが特定でき、従って該試験セルの

直前に試験セルの損失があったことが特定できる。

【0044】一方、前記参照用疑似ランダムパターンが得られなかった場合、該セルが全くでたらめなパターンをもつ他セルであることが特定でき、従って他セルの混入があったことが特定できる。

【0045】このとき、損失セルあるいは混入セルと特定されたセルの個数を各々、損失セルカウンタあるいは混入セルカウンタに加算することにより、試験実施中に生じた損失セル数および混入セル数が測定できる。

【0046】連続番号誤り検出訂正手段により、受信したセルの連続番号のエラーの有無を検査することにより、該受信セルが、試験セルであるのか、他セルであるのか特定できる。

【0047】すなわち、正常に受信された試験セルであれば、連続番号にエラーが生じないが、他のセルでは連続番号自体をもたないため、連続番号領域にエラーが出る。

【0048】このとき、他セルの混入セルと特定されたセルの個数を混入セルカウンタに加算することにより、試験実施中に生じた混入セル数が測定できる。

【0049】また、前記判別手段により、連続番号誤り検出訂正手段により正常と判断された試験セルに搭載された連続番号と受信試験セル数カウンタの値とを比較することにより、試験セルの正常、損失あるいは他セルの混入が生じたのかを特定できる。

【0050】すなわち、両数値が一致した場合、試験セルが順番通り正常に受信されたことが検出でき、連続番号のほうを受信試験セル数カウンタ値よりも大きかった場合、直前の試験セルが損失していることが検出できる。

【0051】また、受信セルカウンタ値のほうで連続番号よりも大きかった場合、直前に他のセルが混入してきたことが検出できる。

【0052】前記連続番号と前記受信試験セル数カウンタ値との差から実際に損失あるいは混入したセルの個数が明らかになり、損失セルカウンタあるいは混入セルカウンタに加算することにより、試験実施中に生じた正確な損失セル数および混入セル数が測定できる。

【0053】上記により、正常な試験セルと判断された試験セルに搭載されたパターンおよび該パターンと同期した前記参照用疑似ランダムパターンとを比較し、その結果検出された不一致ビットを誤りビットカウンタに加算することにより、試験実施中に生じた誤りビット数が測定できる。

【0054】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0055】以下では簡単のため、疑似ランダムパターンをPNパターン、連続番号をSN、さらに誤り検出訂正符号をSNP、受信試験セル数をSNRと略記する。

【0056】さらに、互いに生成手段が異なる2つのパターンが一定期間中ビット毎に全て一致する場合、該両パターンの同期がとれたと称し、それ以降の該両パターンは同期していると称する。

【0057】他方、前記両パターンが一定値以上不一致となる場合、両パターンの同期がはずれると称する。

【0058】第1の実施例：

【0059】図1は、本発明の第1の実施例を示す試験セル処理回路の構成図である。

10 【0060】本実施例の試験セル処理回路は、伝送網内の伝送装置および交換機に有することができる。

【0061】まず、本実施例における試験セル処理回路の構成について説明する。

【0062】試験セル検出回路101は、伝送路100を伝送されてくる試験セルを検出し、試験セル内に搭載された受信PNパターンを抽出する機能を有する。

20 【0063】参照用PNパターン生成回路102は、試験セル検出回路101に接続されており、受信PNパターンに同期した参照用PNパターンを新たに生成する機能を有する。

【0064】比較回路103は、試験セル検出回路101および参照用PNパターン生成回路102に接続されており、受信PNパターンと参照用PNパターンとの一致/不一致をビット毎に比較する機能を有する。

30 【0065】PNパターン同期はずれ検出回路104は、比較回路103の比較結果を受信して、前記両パターンの同期がはずれていないかどうかを常に監視し、前記両パターンの同期はずれを検出した場合、参照用PNパターン生成回路102および誤りビットカウンタ106にリセット命令を出す機能を有する。

【0066】判別回路105は、参照用PNパターン生成回路102と接続し、参照用PNパターン生成回路102において受信PNパターンに同期した参照用PNパターンを生成できたかどうかを監視する。

【0067】該判別回路105により、受信した試験セルが正常に受信されたのか、試験セルが損失したのか、他セルが混入したのかを判別する。

40 【0068】誤りビットカウンタ106は、比較回路103に接続し、PNパターン同期はずれ検出回路104の監視のもと、判別回路105において正常と判断された試験セルに搭載された受信PNパターン中に生じた誤りビットを計数する。

【0069】損失セルカウンタ107は、判別回路105において試験セルの損失があったと判断された場合に値を増加する。

【0070】混入セルカウンタ108は、判別回路105において他セルの混入があったと判断された場合に値を増加する。

50 【0071】図2は、第1の実施例における誤りビット、損失セルおよび混入セルの測定処理フローである。

【0072】以下に、上記内容を踏まえた第1の実施例の試験セル処理回路の動作を図2を参照して説明する。

【0073】①試験セル検出処理201

【0074】試験セル検出回路101において、試験セルを検出し、試験セル内に搭載された受信PNパターンを抽出する。

【0075】②PNパターン同期確立処理202

【0076】試験の開始時の準備、あるいは直前の試験セルにおいて受信PNパターンと参照用PNパターンの同期がはずれていた場合に必要となる処理であり、以前より同期がとれていた場合は以下のPNパターン同期はずれ判断処理203へ移行する。

【0077】本処理は、参照用PNパターン生成回路102および判別回路105により実施される。

【0078】測定処理以前に同期がはずれていた場合、参照用PNパターン生成回路102により、受信した試験セルに搭載された受信PNパターンに同期した参照用PNパターンを生成する。

【0079】該参照用PNパターン生成回路102は、予め設定される同期条件（例えば、連続30ビットにわたり前記両パターンが一致した場合に同期と見なす）を保持しており、該同期条件を満足する参照用PNパターンが得られるまで参照用PNパターンを生成し続ける。

【0080】このとき判別回路105は、予め設定される判別条件（例えば、試験セル受信後、1セルの処理時間以内に同期条件を満足するような参照用PNパターンが得られた場合に同期が確立したと見なす）を保持しており、判別条件に基づき受信PNパターンに同期した参照用PNパターンが得られたか否かを判別する。

【0081】もし、参照用PNパターンが得られた場合、正常な疑似ランダムパターンを有する試験セルが受信されたとして参照用PNパターンを用いて以降の処理203へ移行する。

【0082】他方参照用PNパターンが得られなかった場合、受信セルがでたらめなパターンを持つ混入セルであったと判断し、混入処理207へ移行する。

【0083】③PNパターン同期はずれ判断処理203

【0084】事前に受信PNパターンと同期した参照用PNパターンが得られているときに、該両パターンの同期が継続しているか否かを判断する。

【0085】PNパターン同期はずれ検出回路104は、予め設定される同期はずれ条件（例えば、1試験セルに搭載されるPNパターンの全ビット中、15ビット以上の不一致が生じたら前記両パターンを同期はずれと見なす）を保持しており、比較回路103による前記両パターンのビット毎の比較結果を参照して、該同期はずれ条件を満足するか否かを常に監視している。

【0086】もし、同期はずれ条件を満足する比較結果が得られた場合、前記両パターンの同期がはずれたとして、PNパターン再同期確立処理204へ移行する。

【0087】また、同時に誤りビットカウンタ106をリセットし、同期はずれ状態にける不一致ビットの計数をキャンセルする。

【0088】一方、同期はずれを検出しない場合、前記受信PNパターンは、正常であると判断し、正常処理205へ移行する。

【0089】④PNパターン再同期確立処理204

【0090】PNパターン同期はずれ判断処理203により、受信PNパターンが参照用PNパターンとの同期がはずれたと判断された場合に、改めて新しく参照用PNパターンを作り直す。

【0091】PNパターン同期はずれ検出回路104で同期はずれと判断された場合、参照用PNパターン生成回路102をリセットする。

【0092】参照用PNパターン生成回路102は、新たに参照用PNパターンを生成するが、このとき前記同期条件を満足するような参照用PNパターンが得られるまで繰り返し参照用PNパターンを生成し続ける。

【0093】この結果を監視する判別回路105は、予め設定される前記判別条件（ただし、前記判別条件とは独立に設定可能とできる。例えば、試験セル受信後、2回以内に同期条件を満足するような参照用PNパターンが得られた場合に同期が確立したと見なす）を保持しており、該判別条件に基づきセルの損失あるいは混入を判別する。

【0094】すなわち、試験セルが損失した場合、試験セルの受信部では連続しているはずの受信PNパターンの途中が抜けてスキップする。

【0095】このためスキップした直後から参照用PNパターンとの同期がはずれるが、前記判別条件以内にスキップ後の受信PNパターンに再び同期した参照用PNパターンが得られる。

【0096】一方、他セルが混入した場合、連続したPNパターンに全くでたらめなパターンが混入する。

【0097】このためでたらめなパターンが混入した直後から参照用PNパターンとの同期がはずれ、でたらめなパターンに同期した参照用PNパターンは存在しないため、前記判別条件を越えても受信PNパターンに同期した参照用PNパターンが得られることはない。

【0098】判別回路105はこの点に着目し、判別条件以内に再び受信パターンと参照用PNパターンの同期がとれた場合、該セルが試験セルであり、該試験セルの直前に、試験セルの損失があったと判断し、損失処理206へ移行する。

【0099】判別条件を過ぎても受信パターンと参照用PNパターンの同期がとれなかった場合、該セルが他セルであると判断し、混入処理207へ移行する。

【0100】⑤正常処理205

【0101】判別回路105により正常と判断された試験セルについて、PNパターン同期はずれ検出回路10

4において同期はずれ条件に満たない場合に限り、比較回路103による受信PNパターンとそれに同期した参照用PNパターンとの比較の結果不一致となったビットを受信PNパターン中に発生した誤りビットとして誤りビットカウンタ106にて計数する。

【0102】もし、PNパターン同期はずれ検出回路104において同期はずれと判断された場合、該誤りビットカウンタ106の計数値はリセットされる。

【0103】⑥損失処理206

【0104】判別回路105により試験セルの損失があったと判断した場合に、損失セルカウンタ107を1つ増加させる。

【0105】また、受信パターンと参照用PNパターンは同期しているため、比較回路103の比較の結果不一致となったビットを受信PNパターン中に発生した誤りビットとして誤りビットカウンタ106にて計数する。

【0106】このときにおいても、PNパターン同期はずれ検出回路104により前記両パターンの同期の状態が監視されることは言うまでもない。

【0107】⑦混入処理207

【0108】判別回路105により他セルの混入があったと判断した場合に、混入セルカウンタ108を1つ増加させる。

【0109】第2の実施例：

【0110】図3は、本発明の第2の実施例を示す試験セル処理回路の構成図である。

【0111】本実施例の試験セル処理回路は、伝送網内の伝送装置および交換機に有することができる。

【0112】まず、本実施例における試験セル処理回路の構成について説明する。

【0113】試験セル検出回路101は、伝送路100を伝送されてくる試験セルを検出し、試験セル内に搭載された受信PNパターン、連続番号（以下、SN）および誤り検出訂正符号（以下、SNP）を抽出する機能を有する。

【0114】受信試験セル数（以下、SNR）カウンタ301は、受信した試験セルの個数を計数する。

【0115】SN誤り検出訂正回路302は、SNPを用いてSN中に生じた誤りを検出し訂正する機能を有する。

【0116】参照用PNパターン生成回路102は、試験セル検出回路101に接続されており、受信PNパターンに同期した参照用PNパターンを新たに生成する機能を有する。

【0117】比較回路103は、試験セル検出回路101および参照用PNパターン生成回路102に接続されており、受信PNパターンと参照用PNパターンとの一致／不一致をビット毎に比較する機能を有する。

【0118】PNパターン同期はずれ検出回路104は、比較回路103の比較結果を受信して、前記両パ

ーンの同期がはずれていないかどうかを常に監視し、前記両パターンの同期はずれを検出した場合、参照用PNパターン生成回路102および誤りビットカウンタ106にリセット命令を出す機能を有する。

【0119】判別回路105は、SNRカウンタ301およびSN誤り検出訂正回路302と接続し、受信セルの持つSNの値とSNRの値との差を監視する。

【0120】該判別回路105により、受信した試験セルが正常に受信されたのか、試験セルが損失したのか、他セルが混入したのかを判別する。

【0121】誤りビットカウンタ106は、比較回路103に接続し、PNパターン同期はずれ検出回路104の監視のもと、判別回路105において正常と判断された試験セルに搭載された受信PNパターン中に生じた誤りビットを計数する。

【0122】損失セルカウンタ107は、判別回路105において試験セルの損失があったと判断された場合に値を増加する。

【0123】混入セルカウンタ108は、判別回路105において他セルの混入があったと判断された場合に値を増加する。

【0124】図4は、第2の実施例における誤りビット、損失セルおよび混入セルの測定処理フローである。

【0125】以下に、上記内容を踏まえた第2の実施例の試験セル処理回路の動作を図4を参照して説明する。

【0126】①試験セル検出および計数処理401

【0127】試験セル検出回路101において、試験セルを検出し、試験セル内に搭載された受信PNパターン、SNおよびSNPを抽出する。

【0128】また、試験セルを受信した場合にSNRカウンタを1つ増加させる。

【0129】②SNエラー検査処理402

【0130】SN誤り検出訂正回路302により、受信したSNエラーがないかどうかをSNPを用いて検査する。

【0131】SNは伝送中にそれ自体に誤りが発生する場合があるため、SNPによってSNの誤りの有無を検査し、もし誤りが検出された場合、正しいSNに訂正する。

【0132】SNエラーとは、前記SNPにより訂正することが不可能なほどの誤りをもつSNが検出された場合のことである。

【0133】通常、SNエラーが生じるような試験セルが存在する確率はかなり低く、SNエラーが生じる場合は、試験セルにおけるSN搭載領域に全くでたらめな値を持つ他のセルが混入した場合であると判断できる。

【0134】本処理はこの点に着目し、SNエラーの有無により試験セルであるか否かを判別する。

【0135】つまり、SNエラーを生じないセルは試験セルであり、以下のSNおよびSNRの比較処理403

へ移行するが、SNエラーを生じたセルは他セルであるため、試験処理を行わず、次の試験セルの受信を待つ。

【0136】㊦ SNおよびSNRの比較処理403

【0137】判別回路105において、SNとSNRとを比較する。

【0138】試験セルは、試験セルの生成順に1つずつ増加したSN値を搭載しているため、通常、SNとSNRの数値は一致する。

【0139】このとき試験セルの損失が生じた場合、連続しているはずのSN値の途中が抜けて番号飛びが生じる（例えば、SNが1-2-3-4-5となるはずのところ、SN=3の試験セルが損失した場合、得られるSNは1-2-4-5となる）。

【0140】このため損失した試験セルの直後に受信した試験セルからSNとSNRの不一致が生じ、SN値のほうがSNR値よりも損失した試験セルの個数分だけ大きくなる。

【0141】一方、他セルが混入した場合、連続したSN数値列に全くでたらめな数値が混入する（例えば、SNが1-2-3-4-5となるはずのところ、SN=3の試験セルの次にSN搭載領域に#を持つ他セルが混入した場合、得られるSNは1-2-3-#-4-5となる）。

【0142】このためSNとSNRの不一致が生じ、SN値のほうがSNR値よりも混入した他セルの個数分だけ小さくなる。

【0143】判別回路105はこの点に着目し、SNR値がSN値と一致した場合、正常に試験セルが受信されていると判断し、正常処理205へ移行する。

【0144】SN値のほうがSNR値よりも大きくなった場合、試験セルの損失があったと判断し、損失処理404へ移行する。

【0145】またSN値のほうがSNR値よりも小さくなった場合、他セルの混入があったと判断し、混入処理405へ移行する。

【0146】㊦ 正常処理205

【0147】判別回路105により正常と判断された試験セルについて、PNパターン同期はずれ検出回路104において同期はずれ条件に満たない場合に、比較回路103による受信PNパターンとそれに同期した参照用PNパターンとの比較の結果不一致となったビットを受信PNパターン中に発生した誤りビットとして誤りビットカウンタ106にて計数する。

【0148】もし、PNパターン同期はずれ検出回路104において同期はずれと判断された場合、該誤りビットカウンタ106の計数値はリセットされる。

【0149】㊦ 損失処理404

【0150】判別回路105により試験セルの損失があったと判断した場合に、損失セルカウンタ107を(SN-SNR)だけ増加させる。

【0151】また、SNRの値をSN値と一致させるた

めに、SNRカウンタの値を(SN-SNR)だけ減少させる。

【0152】㊦ 混入処理405

【0153】判別回路105により他セルの混入があったと判断した場合に、混入セルカウンタ108を(SNR-SN)だけ増加させる。

【0154】また、SNRの値をSN値と一致させるために、SNRカウンタの値を(SNR-SN)だけ減少させる。

10 【0155】㊦ 同期確立および誤りビット測定処理406

【0156】損失、および混入を検出した試験セルに搭載された受信PNパターンは、参照用PNパターンとは同期しているとは限らないため、改めて該両パターンの同期を取り直す。

【0157】本処理は、参照用PNパターン生成回路102および判別回路105により実施される。

20 【0158】参照用PNパターン生成回路102により、受信PNパターンと同期した参照用PNパターンが得られるまで参照用のPNパターンを生成し続ける。

【0159】この参照用PNパターン生成回路102は、予め設定される同期条件（例えば、連続30ビットにわたり前記両パターンが一致した場合に同期と見なす）を保持しており、この同期条件を満足する参照用PNパターンを生成する。

30 【0160】このとき判別回路105は、予め設定される判別条件（例えば、試験セル受信後、1セルの処理時間以内に同期条件を満足するような参照用PNパターンが得られた場合に同期が確立したと見なす）を保持しており、判別条件に基づき受信PNパターンに同期した参照用PNパターンが得られたか否かを判別する。

【0161】試験セルに搭載された受信PNパターンを用いるため、ほとんどの場合該両パターンは判別条件以内に再同期が確立することが期待できる。

【0162】参照用PNパターンが得られた場合、両パターンが同期したとしてそれ以降に比較回路103により検出された誤りビットを誤りビットカウンタ106にて計数する。

40 【0163】もし、参照用PNパターンが得られなかった場合、該受信PNパターンを異常として誤りビット測定対象から除外する。

【0164】第3の実施例：

【0165】図5は、本発明の第3の実施例を示す試験セル処理回路の構成図である。

【0166】本実施例の試験セル処理回路は、伝送網内の伝送装置および交換機に有することができる。

【0167】まず、本実施例における試験セル処理回路の構成について説明する。

50 【0168】試験セル検出回路101は、伝送路100を伝送されてくる試験セルを検出し、試験セル内に搭載

された受信PNパターン、SNおよびSNPを抽出する機能を有する。

【0169】SNRカウンタ301は、受信した試験セルの個数を計数する。

【0170】SN誤り検出訂正回路302は、SNPを用いてSN中に生じた誤りを検出し訂正する機能を有する。

【0171】参照用PNパターン生成回路102は、試験セル検出回路101に接続されており、受信PNパターンに同期した参照用PNパターンを新たに生成する機能を有する。

【0172】比較回路103は、試験セル検出回路101および参照用PNパターン生成回路102に接続されており、受信PNパターンと参照用PNパターンとの一致／不一致をビット毎に比較する機能を有する。

【0173】PNパターン同期はずれ検出回路104は、比較回路103の比較結果を受信して、前記両パターンの同期がはずれていないかどうかを常に監視し、前記両パターンの同期はずれを検出した場合、参照用PNパターン生成回路102および誤りビットカウンタ106にリセット命令を出す機能を有する。

【0174】判別回路105は、参照用PNパターン生成回路102、SNRカウンタ301およびSN誤り検出訂正回路302と接続し、参照用PNパターン生成回路102において受信PNパターンに同期した参照用PNパターンを生成できたかどうかの監視、および受信セルの持つSNの値とSNRの値との差を監視する。

【0175】該判別回路105により、受信した試験セルが正常に受信されたのか、試験セルが損失したのか、他セルが混入したのかを判別する。

【0176】誤りビットカウンタ106は、比較回路103に接続し、PNパターン同期はずれ検出回路104の監視のもと、判別回路105において正常と判断された試験セルに搭載された受信PNパターン中に生じた誤りビットを計数する。

【0177】損失セルカウンタ107は、判別回路105において試験セルの損失があったと判断された場合に値を増加する。

【0178】混入セルカウンタ108は、判別回路105において他セルの混入があったと判断された場合に値を増加する。

【0179】図6は、第3の実施例における誤りビット、損失セルおよび混入セルの測定処理フローである。

【0180】以下に、上記内容を踏まえた第2の実施例の試験セル処理回路の動作を図6を参照して説明する。

【0181】①試験セル検出および計数処理401

【0182】試験セル検出回路101において、試験セルを検出し、試験セル内に搭載された受信PNパターン、SNおよびSNPを抽出する。

【0183】また、試験セルを受信した場合にSNRカ

ウンタを1つ増加させる。

【0184】②PNパターン同期確立処理202

【0185】試験の開始時の準備、あるいは直前の試験セルにおいて受信PNパターンと参照用PNパターンの同期がはずれていた場合に必要となる処理であり、以前より同期がとれていた場合は以下のPNパターン同期はずれ判断処理203へ移行する。

【0186】本処理は、参照用PNパターン生成回路102および判別回路105により実施される。測定処理以前に同期がはずれていた場合、受信した試験セルに搭載された受信PNパターンに同期した参照用PNパターンを生成する。

【0187】参照用PNパターン生成回路102により、受信PNパターンと同期した参照用PNパターンが得られるまで参照用のPNパターンを生成し続ける。

【0188】この参照用PNパターン生成回路102は、予め設定される同期条件（例えば、連続30ビットにわたり前記両パターンが一致した場合に同期と見なす）を保持しており、この同期条件を満足する参照用PNパターンを生成する。

【0189】このとき判別回路105は、予め設定される前記判別条件（例えば、試験セル受信後、1セルの処理時間以内に同期条件を満足するような参照用PNパターンが得られた場合に同期が確立したと見なす）を保持しており、該判別条件に基づき受信PNパターンに同期した参照用PNパターンが得られたか否かを判別する。

【0190】もし、参照用PNパターンが得られた場合、試験セルが正常に受信されたとして以降の処理203へ移行する。

【0191】他方参照用PNパターンが得られなかった場合、受信セルがでたらめなパターンを持つ混入セルであったと判断し、混入処理602へ移行する。

【0192】③PNパターン同期はずれ判断処理203

【0193】事前に受信PNパターンと同期した参照用PNパターンが得られているときに、該両パターンの同期が継続しているか否かを判断する。

【0194】PNパターン同期はずれ検出回路104は、予め設定される同期はずれ条件（例えば、1試験セルに搭載されるPNパターンの全ビット中、15ビット以上の不一致が生じたら前記両パターンを同期はずれと見なす）を保持しており、比較回路103による前記両パターンのビット毎の比較結果を参照して、該同期はずれ条件を満足するか否かを常に監視している。

【0195】もし、同期はずれ条件を満足する比較結果が得られた場合、前記両パターンの同期がはずれたとして、PNパターン再同期確立処理204へ移行する。

【0196】また、同時に誤りビットカウンタ106をリセットし、同期はずれ状態における不一致ビットの計数をキャンセルする。

【0197】一方、同期はずれを検出しない場合、前記

受信PNパターンは、正常であると判断し、以降のSNエラー検査処理402へ移行する。

【0198】④ PNパターン再同期確立処理204

【0199】PNパターン同期はずれ判断処理203により、受信PNパターンが参照用PNパターンとの同期がはずれたと判断された場合に、改めて新しく参照用PNパターンを作り直す。

【0200】PNパターン同期はずれ検出回路104で同期はずれと判断された場合、参照用PNパターン生成回路102をリセットする。

【0201】参照用PNパターン生成回路102は、新たに参照用PNパターンを生成するが、このとき前記同期条件を満足するような参照用PNパターンが得られるまで繰り返し参照用PNパターンを生成し続ける。

【0202】この結果を監視する判別回路105は、予め設定される前記判別条件（ただし、前記判別条件とは独立に設定可能とできる。

【0203】例えば、試験セル受信後、2回以内に同期条件を満足するような参照用PNパターンが得られた場合に同期が確立したと見なす）を保持しており、該判別条件に基づきセルの損失あるいは混入を判別する。

【0204】すなわち、試験セルが損失した場合、試験セルの受信部では連続しているはずの受信PNパターンの途中が抜けてスキップする。

【0205】このためスキップした直後から参照用PNパターンとの同期がはずれるが、前記判別条件以内にスキップ後の受信PNパターンに再び同期した参照用PNパターンが得られる。

【0206】一方、他セルが混入した場合、連続したPNパターンに全くでたらめなパターンが混入する。

【0207】このためでたらめなパターンが混入した直後から参照用PNパターンとの同期がはずれ、でたらめなパターンに同期した参照用PNパターンは存在しないため、前記判別条件を越えても受信PNパターンに同期した参照用PNパターンが得られることはない。

【0208】判別回路105はこの点に着目し、前記判別条件以内に再び受信パターンと参照用PNパターンの同期がとれた場合、試験セルの損失があったと判断し、以降のSNエラー検査処理402へ移行する。

【0209】判別条件を過ぎても受信パターンと参照用PNパターンの同期がとれなかった場合、他セルの混入があったと判断し、混入処理602へ移行する。

【0210】⑤ SNエラー検査処理402

【0211】SN誤り検出訂正回路302により、受信したSNにエラーがないかどうかをSNPを用いて検査する。

【0212】SNは伝送中にそれ自体に誤りが発生する場合があるため、SNPによってSNの誤りの有無を検査し、もし誤りが検出された場合、正しいSNに訂正する。

【0213】SNエラーが検出されなかった場合、該SNは正常であるとして以降の処理403へ移行する。

【0214】同期がとれていながらSNにエラーが生じる確率はかなり低いが、もしSNエラーが生じた場合、正確な判定ができないため該試験セルについては試験処理を行わず、次の試験セルの受信を待つ。

【0215】⑥ SNおよびSNRの比較処理403

【0216】判別回路105において、SNとSNRとを比較する。

10 【0217】判別回路105は、受信したセルが、正常な試験セルであるのか、損失した直後の試験セルであるのか、他から混入した他セルであるのかを判別するが、このうち他セルの混入は、PNパターン再同期確立処理204にて判別済みであるので、本処理では、同期のとれた受信PNパターンを搭載した試験セルについて、試験セルの損失の有無を判別する。

【0218】試験セルは、試験セルの生成順に1つずつ増加したSN値を搭載しているため、正常に試験セルが受信されていれば、SNとSNRの数値は一致する。

20 【0219】このとき試験セルの損失が生じた場合、連続しているはずのSN値の途中が抜けて番号飛びが生じる（例えば、SNが1-2-3-4-5となるはずのところ、SN=3の試験セルが損失した場合、得られるSNは1-2-4-5となる）。

【0220】このため損失した試験セルの直後に受信した試験セルからSNとSNRの不一致が生じ、SN値のほうがSNR値よりも損失した試験セルの個数分だけ大きくなる。

30 【0221】判別回路105はこの点に着目し、SNR値がSN値と一致した場合、正常に試験セルが受信されていると判断し、正常処理205へ移行する。

【0222】SNR値とSN値が不一致となった場合、試験セルの損失があったと判断し、損失処理601へ移行する。

【0223】⑦ 正常処理205

40 【0224】判別回路105により正常と判断された試験セルについて、PNパターン同期はずれ検出回路104において同期はずれ条件に満たない場合に、比較回路103による受信PNパターンとそれに同期した参照用PNパターンとの比較の結果不一致となったビットを受信PNパターン中に発生した誤りビットとして誤りビットカウンタ106にて計数する。

【0225】もし、PNパターン同期はずれ検出回路104において同期はずれと判断された場合、該誤りビットカウンタ106の計数値はリセットされる。

【0226】⑧ 損失処理601

【0227】判別回路105により試験セルの損失があったと判断した場合に、損失セルカウンタ107を（SN-SNR）だけ増加させる。

50 【0228】また、SNRの値をSN値と一致させるた

めに、SNRカウンタの値を(SN-SNR)だけ減少させる。

【0229】受信PNパターンと参照用PNパターンは同期しているため、比較回路103により検出された誤りビットを誤りビットカウンタ106にて計数する。

【0230】このときにおいても、PNパターン同期はずれ検出回路104により前記両パターンの同期の状態が監視されることは言うまでもない。

【0231】⑥ 混入処理602

【0232】判別回路105により他セルの混入があったと判断した場合に、混入セルカウンタ108を1つ増加する。

【0233】また、SNRの値をSN値と一致させるために、SNRカウンタの値を1つ減少させる。

【0234】第4の実施例：

【0235】図7は、本発明の第4の実施例を示す試験セル処理回路の構成図である。

【0236】本実施例の試験セル処理回路は、伝送網内の伝送装置および交換機に有することができる。

【0237】まず、本実施例における試験セル処理回路の構成について説明する。

【0238】試験セル検出回路101は、伝送路100を伝送されてくる試験セルを検出し、試験セル内に搭載された受信PNパターン、SNおよびSNPを抽出する機能を有する。

【0239】SNRカウンタ301は、受信した試験セルの個数を計数する。

【0240】SN誤り検出訂正回路302は、SNPを用いてSN中に生じた誤りを検出し訂正する機能を有する。

【0241】参照用PNパターン生成回路102は、試験セル検出回路101に接続されており、受信PNパターンに同期した参照用PNパターンを新たに生成する機能を有する。

【0242】比較回路103は、試験セル検出回路101および参照用PNパターン生成回路102に接続されており、受信PNパターンと参照用PNパターンとの一致／不一致をビット毎に比較する機能を有する。

【0243】PNパターン同期はずれ検出回路104は、比較回路103の比較結果を受信して、前記両パターンの同期がはずれていないかどうかを常に監視し、前記両パターンの同期はずれを検出した場合、参照用PNパターン生成回路102および誤りビットカウンタ106にリセット命令を出す機能を有する。

【0244】判別回路105は、参照用PNパターン生成回路102、SNRカウンタ301およびSN誤り検出訂正回路302と接続し、参照用PNパターン生成回路102において受信PNパターンに同期した参照用PNパターンを生成できたかどうかの監視、および受信セルの持つSNの値とSNRの値との差を監視する。

【0245】該判別回路105により、受信した試験セルが正常に受信されたのか、試験セルが損失したのか、他セルが混入したのかを判別する。

【0246】誤りビットカウンタ106は、比較回路103に接続し、PNパターン同期はずれ検出回路104の監視のもと、判別回路105において正常と判断された試験セルに搭載された受信PNパターン中に生じた誤りビットを計数する。

【0247】損失セルカウンタ107は、判別回路105において試験セルの損失があったと判断された場合に値を増加する。

【0248】混入セルカウンタ108は、判別回路105において他セルの混入があったと判断された場合に値を増加する。

【0249】図8は、第4の実施例における誤りビット、損失セルおよび混入セルの測定処理フローである。

【0250】以下に、上記内容を踏まえた第2の実施例の試験セル処理回路の動作を図8を参照して説明する。

【0251】① 試験セル検出および計数処理401

【0252】試験セル検出回路101において、試験セルを検出し、試験セル内に搭載された受信PNパターン、SNおよびSNPを抽出する。

【0253】また、試験セルを受信した場合にSNRカウンタを1つ増加させる。

【0254】② PNパターン同期確立処理202

【0255】試験の開始時、あるいは直前の試験セルにおいて受信PNパターンと参照用PNパターンの同期がはずれていた場合に必要となる処理であり、以前より同期がとれていた場合は以下のPNパターン同期はずれ判別処理203へ移行する。

【0256】本処理は、参照用PNパターン生成回路102および判別回路105により実施される。

【0257】測定処理以前に同期がはずれていた場合、受信した試験セルに搭載された受信PNパターンに同期した参照用PNパターンを生成する。

【0258】参照用PNパターン生成回路102により、受信PNパターンと同期した参照用PNパターンが得られるまで参照用のPNパターンを生成し続ける。

【0259】この参照用PNパターン生成回路102は、予め設定される同期条件(例えば、連続30ビットにわたり前記両パターンが一致した場合に同期と見なす)を保持しており、この同期条件を満足する参照用PNパターンを生成する。

【0260】このとき判別回路105は、予め設定される前記判別条件(例えば、試験セル受信後、1セルの処理時間以内に同期条件を満足するような参照用PNパターンが得られた場合に同期が確立したと見なす)を保持しており、該判別条件に基づき受信PNパターンに同期した参照用PNパターンが得られたか否かを判別する。

【0261】もし、参照用PNパターンが得られた場

合、試験セルが正常に受信されたとして以降のPNパターン同期はずれ判断処理203へ移行する。

【0262】他方参照PNパターンが得られなかった場合、受信セルがでたらめなパターンを持つ混入セルであったと判断し、試験処理を行わず次の試験セルの受信を待つ。

【0263】④ PNパターン同期はずれ判断処理203

【0264】事前に受信PNパターンと同期した参照用PNパターンが得られているときに、該両パターンの同期が継続しているか否かを判断する。

【0265】PNパターン同期はずれ検出回路104は、予め設定される同期はずれ条件（例えば、1試験セルに搭載されるPNパターンの全ビット中、15ビット以上の不一致が生じたら前記両パターンを同期はずれと見なす）を保持しており、比較回路103による前記両パターンのビット毎の比較結果を参照して、該同期はずれ条件を満足するか否かを常に監視している。

【0266】もし、同期はずれ条件を満足する比較結果が得られた場合、前記両パターンの同期がはずれたとして、該試験セルに対する試験処理を行わず、次の試験セルの受信を待つ。

【0267】同時に誤りビットカウンタ106をリセットし、同期はずれ状態における不一致ビットの計数をキャンセルする。

【0268】一方、同期はずれを検出しない場合、前記受信PNパターンは、正常であると判断し、以降のSNエラー検査処理402へ移行する。

【0269】⑤ SNエラー検査処理402

【0270】SN誤り検出訂正回路302により、受信したSNにエラーがないかどうかをSNPを用いて検査する。

【0271】SNは伝送中にそれ自体に誤りが発生する場合があるため、SNPによってSNの誤りの有無を検査し、もし誤りが検出された場合、正しいSNに訂正する。

【0272】SNエラーが検出されなかった場合、該SNは正常であるとして以降のSNおよびSNRの比較処理403へ移行する。

【0273】同期がとれていながらSNにエラーが生じる確率はかなり低いが、もしSNエラーが生じた場合、該試験セルについては試験処理を行わず、次の試験セルの受信を待つ。

【0274】⑥ SNおよびSNRの比較処理403

【0275】判別回路105において、SNとSNRとを比較する。

【0276】試験セルは、試験セルの生成順に1つつ増加したSNを搭載しているため、通常、SNとSNRの数値は一致する。

【0277】このとき試験セルの損失が生じた場合、連続しているはずのSN値の途中が抜けて番号飛びが生じ

る（例えば、SNが1-2-3-4-5となるはずのところ、SN=3の試験セルが損失した場合、得られるSNは1-2-4-5となる）。

【0278】このため損失した試験セルの直後に受信した試験セルからSNとSNRの不一致が生じ、SN値のほうがSNR値よりも損失した試験セルの個数分だけ大きくなる。

【0279】一方、他セルが混入した場合、連続したSN数値列に全くでたらめな数値が混入する（例えば、SNが1-2-3-4-5となるはずのところ、SN=3の試験セルの次にSN搭載領域に#をもつ他セルが混入した場合、得られるSNは1-2-3-#-4-5となる）。

【0280】このためSNとSNRの不一致が生じ、SN値のほうがSNR値よりも混入した他セルの個数分だけ小さくなる。

【0281】判別回路105はこの点に着目し、SNR値がSN値と一致した場合、正常な試験セルが受信されていると判断し、正常処理205へ移行する。

【0282】SN値のほうがSNR値よりも大きくなった場合、試験セルの損失があったと判断し、損失処理601へ移行する。

【0283】またSN値のほうがSNR値よりも小さくなった場合、他セルの混入があったと判断し、混入処理801へ移行する。

【0284】⑦ 正常処理205

【0285】判別回路105により正常と判断された試験セルについて、PNパターン同期はずれ検出回路104において同期はずれ条件に満たない場合に、比較回路103による受信PNパターンとそれに同期した参照用PNパターンとの比較の結果不一致となったビットを受信PNパターン中に発生し誤りビットとして誤りビットカウンタ106にて計数する。

【0286】もし、PNパターン同期はずれ検出回路104において同期はずれと判断された場合、該誤りビットカウンタ106の計数値はリセットされる。

【0287】⑧ 損失処理601

【0288】判別回路105により試験セルの損失があったと判断した場合に、損失セルカウンタ107を（SN-SNR）だけ増加させる。

【0289】また、SNRの値をSN値と一致させるために、SNRカウンタの値を（SN-SNR）だけ減少させる。

【0290】損失を検出した試験セル自体の受信PNパターンと参照用PNパターンは同期しているため、比較回路103により検出された誤りビットを誤りビットカウンタ106にて計数する。

【0291】このときにおいても、PNパターン同期はずれ検出回路104により前記両パターンの同期の状況が監視されることは言うまでもない。

【0292】⑨ 混入処理801

【0293】判別回路105により他セルの混入があったと判断した場合に、混入セルカウンタ108を(SNR-SN)だけ増加させる。

【0294】また、SNRの値をSN値と一致させるために、SNRカウンタの値を(SNR-SN)だけ減少させる。

【0295】混入を検出した試験セル自体の受信PNパターンと参照用PNパターンは同期しているため、比較回路103により検出された誤りビットを誤りビットカウンタ106にて計数する。

【0296】このときにおいても、PNパターン同期は、ずれ検出回路104により前記両パターンの同期の状態が監視されることは言うまでもない。

【0297】第5の実施例：

【0298】図9は本発明の第5の実施例を示す試験セル生成回路の構成例である。

【0299】本実施例の試験セル生成回路は、伝送網内の伝送装置および交換機に有することができる。

【0300】まず、本実施例における試験セル生成回路の構成について説明する。

【0301】PNパターン生成回路901は、連続したPNパターンを生成する機能を有する。

【0302】試験セル組立回路902は、PNパターン生成回路901で生成されるPNパターンを一定のブロックに区切り、それを1つ1つ搭載した試験セルを生成する。

【0303】試験セル挿入回路903は、生成された試験セルを伝送路に挿入する。

【0304】また、図10は、第5の実施例において生成される試験セルの構成図である。

【0305】本実施例の試験セル生成回路の動作を図10を用いて説明する。

【0306】PNパターン生成回路901により生成される連続したPNパターンは、セルに搭載するために1つ1つのブロック1004に区切られる。

【0307】試験セル組立回路902では、PNパターンのブロック1004と試験用のOAMセルであることを示すOAM種別1003をペイロード1002に有し、試験対象のヘッダ1001を具備した試験セルを組み立てる。

【0308】試験セル組立回路902で生成された試験セルは、試験セル挿入回路903により伝送路に挿入される。

【0309】第6の実施例：

【0310】図11は本発明の第6の実施例を示す試験セル生成回路の構成例である。

【0311】本実施例の試験セル生成回路は、伝送網内の伝送装置および交換機に有することができる。

【0312】まず、本実施例における試験セル生成回路の構成について説明する。

【0313】PNパターン生成回路901は、連続したPNパターンを生成する機能を有する。

【0314】連続番号生成回路1101は、試験セルの生成順に連続した番号を生成する。

【0315】誤り検出訂正符号生成回路1102は、前記連続番号生成回路1101により生成された連続番号に対する誤り検出訂正符号を生成する。

【0316】試験セル組立回路902は、前記PNパターン生成回路901、前記連続番号生成回路1101、および前記誤り検出訂正符号生成回路1102に接続され、一定のブロックに区切ったPNパターン、連続番号および誤り検出訂正符号を搭載した試験セルを生成する。

【0317】試験セル挿入回路903は、生成された試験セルを伝送路に挿入する。

【0318】また、図12は、第6の実施例において生成される試験セルの構成図である。

【0319】本実施例の試験セル生成回路の動作を図12を用いて説明する。

【0320】PNパターン生成回路901により生成される連続したPNパターンは、セルに搭載するために1つ1つのブロック1201に区切られる。

【0321】試験セル組立回路902では、PNパターンブロック1201、前記連続番号生成回路1101により生成された連続番号1202、前記誤り検出訂正符号生成回路1102により生成される誤り検出訂正符号1203および試験用のOAMセルであることを示すOAM種別1003をペイロード1002に有し、試験対象のヘッダ1001を具備した試験セルを組み立てる。

【0322】試験セル組立回路902で生成された試験セルは、試験セル挿入回路903により伝送路に挿入される。

【0323】

【発明の効果】本発明によれば、ATM試験方式に関し、試験で測定すべき、誤りビット数、損失セル数および混入セル数を測定するための、効率的な試験処理アルゴリズムを有するATM試験方式を提供でき、またそれを実現する試験回路を提供でき、バーチャルパスおよびバーチャルチャネルに対する導通試験、特性試験および故障切り分け試験を正確にかつ効率的に実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す試験セル処理回路構成図である。

【図2】第1の実施例の試験測定処理フロー図である。

【図3】本発明の第2の実施例を示す試験セル処理回路構成図である。

【図4】第2の実施例の試験測定処理フロー図である。

【図5】本発明の第3の実施例を示す試験セル処理回路構成図である。

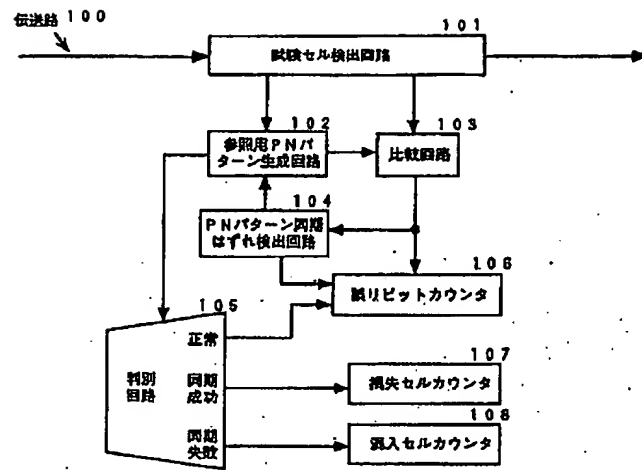
【図6】第3の実施例の試験測定処理フロー図である。
 【図7】本発明の第4の実施例を示す試験セル処理回路構成図である。
 【図8】第4の実施例の試験測定処理フロー図である。
 【図9】本発明の第5の実施例を示す試験セル生成回路構成図である。
 【図10】第5の実施例の試験セル構成図である。
 【図11】本発明の第6の実施例を示す試験セル生成回路構成図である。
 【図12】第6の実施例を示す試験セル構成図である。
 【図13】従来技術によるATM試験方法説明図である。

【符号の説明】

100 伝送路
 101 試験セル検出回路
 102 参照用疑似ランダムパターン生成回路
 103 比較回路
 104 疑似ランダムパターン同期はずれ検出回路
 105 判別回路
 106 誤りビットカウンタ
 107 損失セルカウンタ
 108 混入セルカウンタ
 201 試験セル検出処理
 202 疑似ランダムパターン同期確立処理
 203 疑似ランダムパターン同期はずれ判断処理
 204 疑似ランダムパターン再同期確立処理
 205 正常処理
 206 損失処理

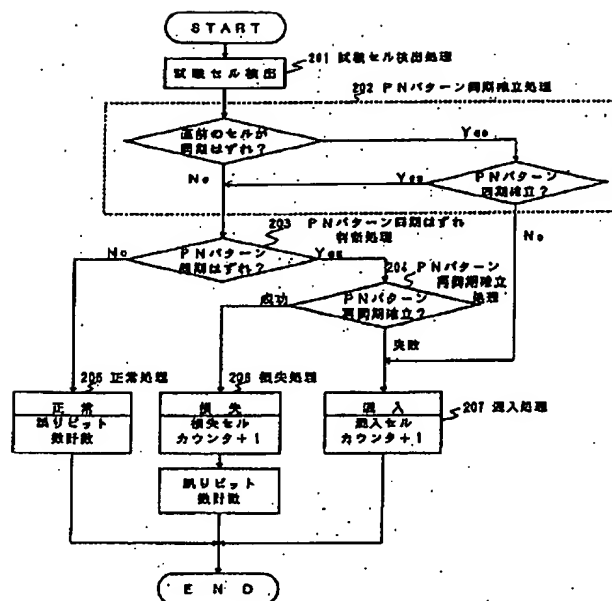
207 混入処理
 301 受信試験セル数カウンタ
 302 連続番号誤り検出訂正回路
 401 試験セル検出および計数処理
 402 連続番号エラー検査処理
 403 SNおよびSNRの比較処理
 404 損失処理
 405 混入処理
 406 同期確立および誤りビット測定処理
 10 601 損失処理
 602 混入処理
 801 混入処理
 901 疑似ランダムパターン生成回路
 902 試験セル組立回路
 903 試験セル挿入回路
 1001 ヘッダ
 1002 ベイロード
 1003 OAM種別
 1004 疑似ランダムパターンブロック
 20 1101 連続番号生成回路
 1102 誤り検出訂正符号生成回路
 1201 PNパターンブロック
 1202 連続番号
 1203 誤り検出訂正符号
 10 試験セル挿入点
 11 試験セル検出・測定点
 12 装置間試験
 13 複数装置間試験

〔図1〕



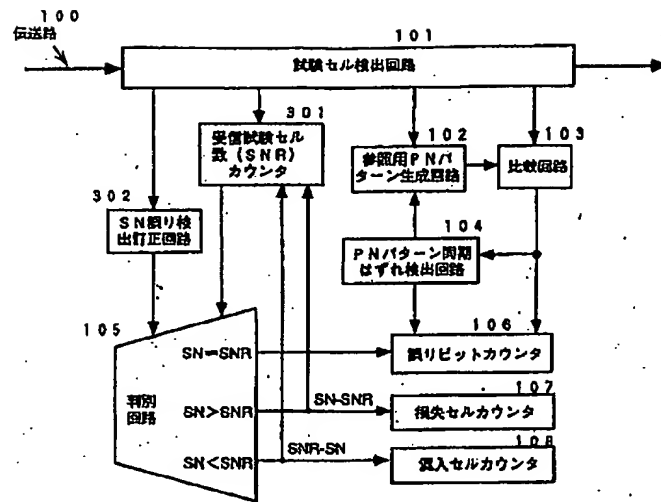
本発明の第1の実施例を示す
試験セル処理回路構成図

【図2】



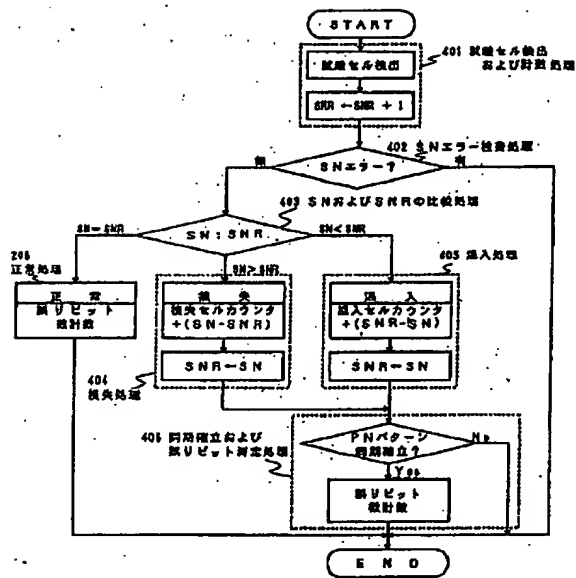
第 1 の実施例を説明するフローチャート

【図3】



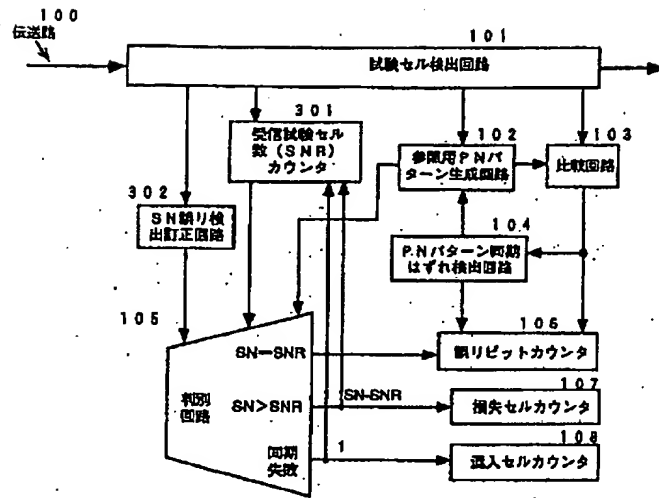
本発明の第2の実施例を示す
試験セル処理回路構成図

【図4】



第2の実施例を説明するフローチャート

【图5】



本発明の第 8 の実施例を示す
試験セル処理回路構成図

【図6】

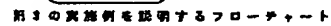
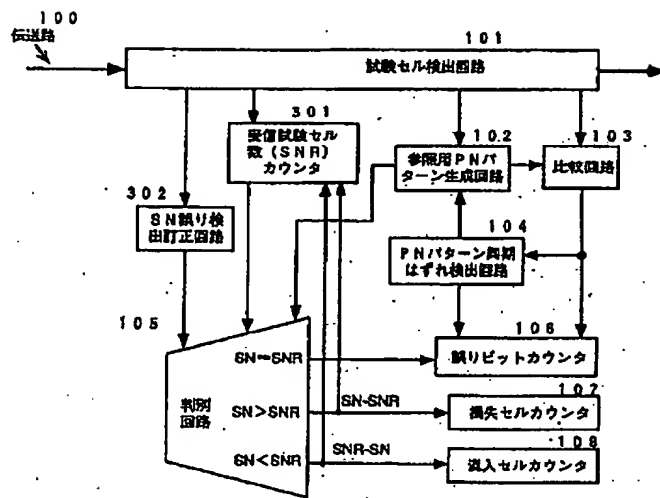


図 3 の実施例を説明するフローチャート

[図7]



本発明の第4の実施例を示す
試験セル処理回路構成図

[図8]

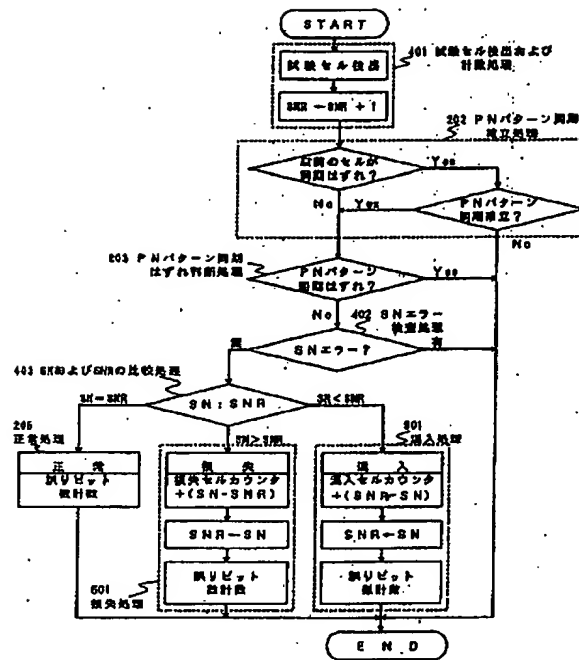
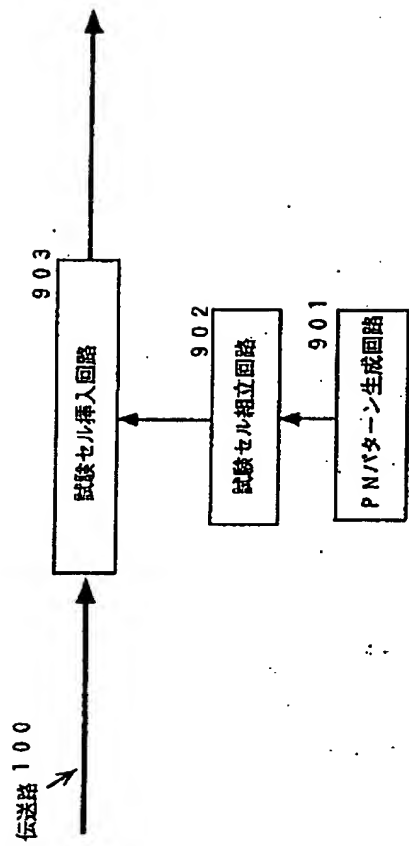


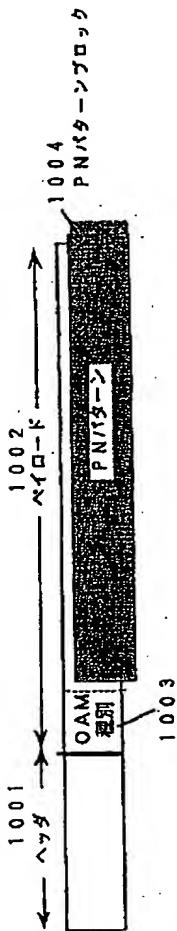
図4の実施例を説明するフローチャート

【図9】



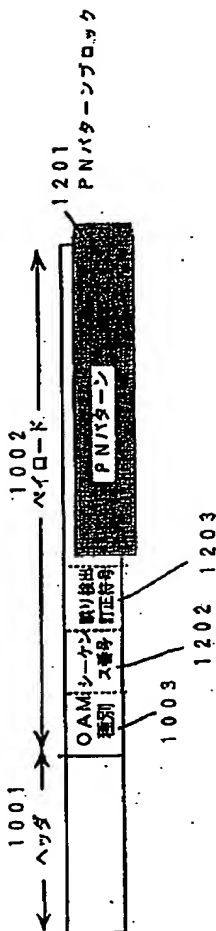
本発明の第5の実施例を示す
試験セル生成回路構成図

【図10】



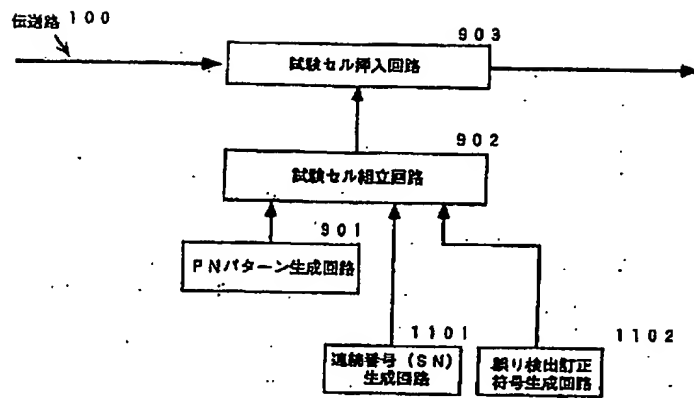
第5の実施例の試験セル構成図

【図12】



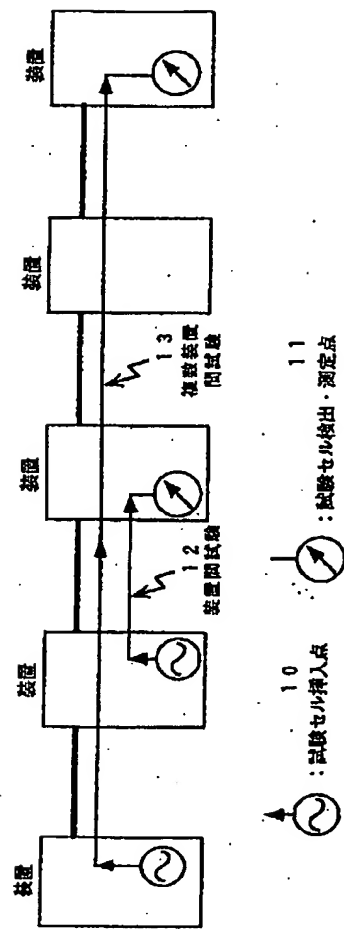
第8の実施例の試験セル構成図

〔図11〕



本発明の第8の実施例を示す
試験セル生成回路構成図

[図13]



従来の技術によるATM試験方法説明図

フロントページの続き

(72)発明者 上田 裕巳
 東京都千代田区内幸町一丁目1番6号 日
 本電信電話株式会社内